

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-176162

(43)Date of publication of application : 23.06.1992

(51)Int.Cl.

H01L 25/04

H01L 25/00

H01L 25/18

H01L 27/00

(21)Application number : 02-305031

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 07.11.1990

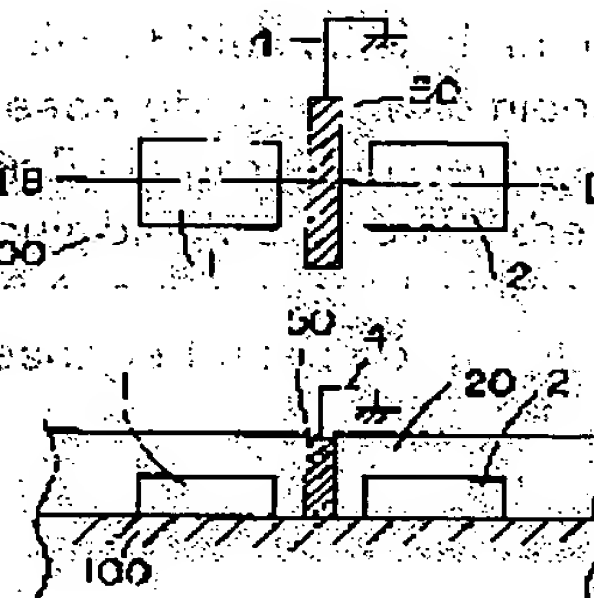
(72)Inventor : KUMAMOTO TOSHIO
KONO HIROYUKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To enable semiconductor integrated circuit blocks to be shielded from noises by a method wherein a conductive part is insulated from a first and a second semiconductor integrated circuit block and kept at a certain fixed potential.

CONSTITUTION: A digital circuit block 1 and an analog circuit block 2 are formed separate from each other on a semiconductor board 100, and a wall-like conductive layer 50 is provided between the digital circuit block 1 and the analog circuit block 2 through the intermediary of an insulating layer 20. A wiring 4 is connected to the wall-like conductive layer 50 to keep it at a prescribed fixed potential, in this case, a ground potential.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-176162

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月23日

H 01 L 25/04
25/00
25/18
27/00

A 7638-4M
3 0 1 C 7514-4M
7638-4M

H 01 L 25/04 Z
審査請求 有 請求項の数 1 (全8頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特 願 平2-305031

⑯ 出 願 平2(1990)11月7日

⑰ 発 明 者 熊 本 敏 夫 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑰ 発 明 者 河 野 浩 之 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

複数個の半導体集積回路ブロックが絶縁膜を介して隣接してなる半導体集積回路装置であって、

所定の基板の上に形成された第1の半導体集積回路ブロックと、

前記第1の半導体集積回路ブロックに絶縁膜を介して隣接するように形成された第2の半導体集積回路ブロックと、

前記第1の半導体集積回路ブロックと前記第2の半導体集積回路ブロックとの間の、または前記第1の半導体集積回路ブロックと前記第2の半導体集積回路ブロックとのいずれか一方の周辺の、少なくとも1箇所に形成された導電部分とを備え、

前記導電部分は、前記第1の半導体集積回路ブロックと前記第2の半導体集積回路ブロックとから絶縁されており、所定の固定電位に保たれている、半導体集積回路装置。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、半導体集積回路装置に関し、特に、複数個の半導体集積回路ブロックが絶縁膜を介して隣接してなる半導体集積回路装置に関するものである。

[従来技術]

第7図は、この種の従来半導体集積回路装置を示す概略断面図である。図において、半導体または絶縁体からなる基板10の上には、互いに距離Lを隔ててデジタル回路ブロック1とアナログ回路ブロック2とが形成されている。これらの2つの回路ブロックは、少なくとも半導体層を含んで構成され、互いに区別された機能を有する半導体集積回路ブロックである。デジタル回路ブロック1とアナログ回路ブロック2とは、互いに絶縁されるように絶縁層20が基板10の上に形成されている。

[発明が解決しようとする課題]

第7図に示す従来半導体集積回路装置によれ

ば、2つの半導体集積回路ブロックとして、デジタル回路ブロック1とアナログ回路ブロック2とが距離Lを隔てて隣接している。そのため、たとえば、デジタル回路ブロック1の発生するノイズがアナログ回路ブロック2に悪影響を及ぼす場合があった。これを防止するために、デジタル回路ブロック1とアナログ回路ブロック2との間の距離Lを大きくすることが考えられる。しかしながら、半導体集積回路装置を構成する回路ブロック間の距離Lを大きくすると、半導体集積回路装置における回路ブロックの集積度が低下するという問題があった。

そこで、この発明は、上記のような問題点を解決するためになされたもので、各半導体集積回路ブロックがノイズに影響されず、ノイズからシールドされ得る半導体集積回路装置の構造を提供することを目的とする。

【課題を解決するための手段】

この発明に従った半導体集積回路装置は、第1の半導体集積回路ブロックと、第2の半導体集積

— 3 —

回路ブロックにおいてノイズが発生したとしても、そのノイズは導電部分まで達するだけで、隣接する第2の半導体集積回路ブロックの内部までは到達しない。これは、各半導体集積回路ブロックの周辺部分に存在する寄生容量を介して伝達されるノイズが、固定電位に保たれた導電部分によって阻まれることにより、隣接する半導体集積回路ブロックに影響を及ぼすノイズが低減されるからである。

【発明の実施例】

以下、この発明の実施例を図について説明する。

第1A図は、この発明の第1の実施例を示す半導体集積回路装置の概略平面図である。第1B図は、第1A図のI B—I B線における断面を示す概略断面図である。図において、デジタル回路ブロック1とアナログ回路ブロック2とは、半導体基板100の上で互いに間隔を隔てて形成されている。デジタル回路ブロック1とアナログ回路ブロック2との間には、絶縁層20を介して壁状導電層50が形成されている。この壁状導電層50は、所定の固定電位、この場合、接地電位に

— 5 —

回路ブロックと、導電部分とを備える。第1の半導体集積回路ブロックは、所定の基板の上に形成されている。第2の半導体集積回路ブロックは、第1の半導体集積回路ブロックに絶縁膜を介して隣接するように形成されている。導電部分は、第1の半導体集積回路ブロックと第2の半導体集積回路ブロックとの間の、または第1の半導体集積回路ブロックと第2の半導体集積回路ブロックとのいずれか一方の周辺の、少なくとも1箇所に形成されている。この導電部分は、第1の半導体集積回路ブロックと第2の半導体集積回路ブロックとから絶縁されており、所定の固定電位に保たれている。

【作用】

この発明においては、第1の半導体集積回路ブロックと第2の半導体集積回路ブロックとの間、または各半導体集積回路ブロックの周辺には、導電部分が形成されている。この導電部分は各半導体集積回路ブロックから絶縁されて固定電位に保たれている。そのため、第1の半導体集積回路ブ

— 4 —

保たれるように、配線4が壁状導電層50に接続されている。そのため、デジタル回路ブロック1とアナログ回路ブロック2との間の容量性結合が小さくなる。したがって、たとえ、デジタル回路ブロック1においてノイズが発生したとしても、そのノイズはデジタル回路ブロック1の上部を通じてアナログ回路ブロック2の内部までは到達せず、壁状導電層50に達するだけである。その結果、アナログ回路ブロック2の動作は、ノイズによって影響を受けることはない。なお、ここでデジタル回路ブロック1で発生するノイズとしては、たとえば、クロックノイズが挙げられる。

第2A図は、この発明の第2の実施例を示す半導体集積回路装置の概略平面図である。第2B図は、第2A図のII B—II B線における断面を示す概略断面図である。この第2の実施例においては、半導体基板上に形成された絶縁基板、すなわち絶縁層上に半導体回路が構成される場合、つまり、SOI (Silicon-on-insula

— 6 —

(c) 構造を採用した半導体集積回路装置が示されている。図において、半導体基板 100 の上には、絶縁層 21 が形成されている。この絶縁層 21 の上には、互いに間隔を隔てたデジタル回路ブロック 1 とアナログ回路ブロック 2 とが形成されている。これらの 2 つの回路ブロックを覆うように絶縁層 22 が形成されている。また、これらの 2 つの回路ブロックの間と周囲には、柱状導電層 51、52 が形成されている。この場合、柱状導電層 51 は、半導体基板 100 の表面に接続するように、その表面から延びるように形成されている。この柱状導電層 51 は、回路ブロック 1、2 で用いられる半導体層の結晶性を高めるために半導体基板 100 をシードとして単結晶化された半導体から構成されている。

このように、絶縁層上に半導体集積回路装置を構成する場合の一手法として、一定間隔を隔ててシードと呼ばれる柱状または壁状の半導体層を設けることは通常行なわれている。このシードを半導体集積回路ブロックの周辺部に配置することに

- 7 -

シードとして、一定間隔で配置されている。柱状導電層 51、52 の外側には、クロック信号線 $\phi 1$ 、 $\phi 2$ 、 $\overline{\phi 1}$ 、 $\overline{\phi 2}$ が配置されている。クロック信号線 $\phi 1$ および $\overline{\phi 1}$ 、 $\phi 2$ および $\overline{\phi 2}$ は、柱状導電層 51、52 の間を通り、アナログ回路ブロック 2 の所定の部分に接続されている。柱状導電層 51 は半導体基板 100 に接続するように形成されているので、所定の固定電位に保たれていることと等価な状態になっている。アナログ回路ブロック 2 の上には絶縁層 22 を介して外部回路ブロック 3 が形成されている。外部回路ブロック 3 は絶縁層 23 によって覆われている。各回路ブロックの一例として、デジタル回路ブロック 1 は算術論理演算回路であり、アナログ回路ブロック 2 は A-D コンバータであり、外部回路ブロック 3 はフォトセンサから構成されるイメージセンサである。この算術論理演算回路 (ALU) の論理回路は、デジタル回路ブロック 1 の例として第 5 図に示されている。また、第 4 図には、アナログ回路ブロック 2 の例として 2 ビット CMOS A-

- 9 -

によって、本来、絶縁層上の半導体層の結晶性を高めるために製造工程においてのみ必要とされていたシードを、製造プロセス終了後においても、半導体集積回路ブロックのノイズのシールド用に供することができる。

第 3 A 図は、この発明の第 3 の実施例を示す半導体集積回路装置の概略平面図である。第 3 B 図は、第 3 A 図の III B-III B 線における断面を示す部分断面図である。第 3 C 図は、第 3 A 図の III C-III C 線における断面を示す部分断面図である。第 3 D 図は、第 3 A 図の III D-III D 線における断面を示す部分断面図である。これらの図を参照して、半導体基板 100 の上にはデジタル回路ブロック 1 が形成されている。このデジタル回路ブロック 1 を覆うように絶縁層 21 が形成されている。アナログ回路ブロック 2 は、デジタル回路ブロック 1 の上方にシールドプレート 6 を介して形成されている。デジタル回路ブロック 1 およびアナログ回路ブロック 2 の両側には、半導体からなる柱状導電層 51、52 が、ノイズのシ-

- 8 -

D コンバータの論理回路が示されている。このように、半導体集積回路装置の一例として画像信号処理を行なう三次元回路素子が示されている。

上述のように示される 3 層積層構造の半導体集積回路装置においては、下層のデジタル回路ブロック 1 からアナログ回路ブロック 2 へのノイズは、固定電位に接続されたシールドプレート 6 によって防止され得る。また、クロック信号のノイズは、所定の接続部以外においてクロック信号線とアナログ回路ブロック 2 との間に柱状導電層 52 が存在しているので、アナログ回路ブロック 2 に悪影響を及ぼし難い。

第 6 図は、第 3 A 図～第 3 D 図に示されるような 3 層積層構造の半導体集積回路装置の一断面を模式的に描いた図である。第 6 図を参照して、p 型の半導体基板 100 には、デジタル回路ブロック 1 を構成する素子形成領域を囲むように分離酸化膜 101 が形成されている。素子形成領域には、n チャネル型の MOS トランジスタが形成されている。この MOS トランジスタは、ゲート電

- 10 -

極103と、n型不純物拡散領域102とを有する。デジタル回路ブロック1を構成する素子の一例として示されたnチャネル型MOSトランジスタの上には、化学的気相薄膜成長法(CVD法)を用いてシリコン酸化膜からなる絶縁層21が形成されている。この絶縁層21の上には、不純物がドーブされた多結晶シリコンからなるシールドプレート6が形成されている。デジタル回路ブロック1の周囲には、半導体基板100の表面をシードとして単結晶化された、不純物を含むシリコン層からなる柱状導電層51が形成されている。

第2層目には、CMOS/SOI構造からなる素子が、アナログ回路ブロック2を構成している。p型の半導体層200pとn型の半導体層200nとが間隔を隔てて形成されている。p型半導体層200pには、nチャネル型MOSトランジスタが形成されている。このnチャネル型MOSトランジスタは、ゲート電極203nとn型不純物拡散領域202nとを有する。n型半導体層200nには、pチャネル型MOSトランジスタが形

— 11 —

p型半導体層300に形成されたn型不純物拡散領域302を有する。シリコン酸化膜24にあけられたコンタクト孔を介して、第1アルミニウム層からなる配線層41が、p型半導体層300に接続されている。この配線層41には、第2アルミニウム層からなる配線層42が接続されている。n型不純物拡散領域302は、配線層41を介して、第2層目の素子を構成するn型不純物拡散領域202nに接続されている。柱状導電層52の上部には、アルミニウムからなる配線層4が接続されている。この配線層4は接地電位に保たれている。第3層目の素子を覆うようにシリコン窒化膜からなる絶縁層23が形成されている。配線層4、42の上にはバッシベーション膜30が形成されている。

このようにして、この発明に従った3層積層構造の半導体集積回路装置の断面構造の一例が模式的に描かれる。

なお、上記実施例においては、壁状または柱状導電層として不純物を含むシリコン層を用いた例

— 13 —

成されている。pチャネル型MOSトランジスタは、ゲート電極203pとp型不純物拡散領域202pとを有する。一方のp型不純物拡散領域202pには、第1層目のMOSトランジスタを構成するn型不純物拡散領域102が電氣的に接続されている。n型不純物拡散領域102に接続するように、不純物がドーブされた多結晶シリコンからなる配線層7が形成されている。この配線層7にはコンタクト層9が接続している。このコンタクト層9に接続し、p型不純物拡散領域202pにも接続するように、タングステンシリサイド層からなる配線層8が形成されている。アナログ回路ブロック2の周囲には、柱状導電層51に接続するように、不純物を含むシリコン層からなる柱状導電層52が形成されている。

第3層目として、CVD法を用いて形成されたシリコン酸化膜からなる絶縁層22の上に外部回路ブロック3が形成される。この外部回路ブロック3を構成する素子の一例としてpnフォトダイオードが示されている。pnフォトダイオードは、

— 12 —

を示したが、少なくとも導電性を有するものであればよく、高融点金属シリサイド層等から構成されてもよい。

[発明の効果]

以上のように、この発明によれば所定の固定電位に保たれた導電部分が、各半導体集積回路ブロックの間あるいは周辺部に設けられるので、各半導体集積回路ブロックをノイズからシールドすることが可能となる。そのため、各回路ブロックの周辺に存在する寄生容量を介して伝達されるノイズが低減され得る。

4. 図面の簡単な説明

第1A図は、この発明に従った半導体集積回路装置の第1実施例を示す概略平面図である。

第1B図は、第1A図のI B—I B線における断面を示す部分断面図である。

第2A図は、この発明に従った半導体集積回路装置の第2実施例を示す概略平面図である。

第2B図は、第2A図のII B—II B線における断面を示す部分断面図である。

— 14 —

第3A図は、この発明に従った半導体集積回路装置の第3実施例を示す概略平面図である。

第3B図は、第3A図のⅢB-ⅢB線における断面を示す部分断面図である。

第3C図は、第3A図のⅢC-ⅢC線における断面を示す部分断面図である。

第3D図は、第3A図のⅢD-ⅢD線における断面を示す部分断面図である。

第4図は、アナログ回路ブロックの一例として2ビットA-Dコンバータを示す論理回路図である。

第5図は、デジタル回路ブロックの一例として算術論理演算回路装置を示す論理回路図である。

第6図は、第3A図~第3D図に示されるような半導体集積回路装置の断面構造の一例を模式的に描いた断面図である。

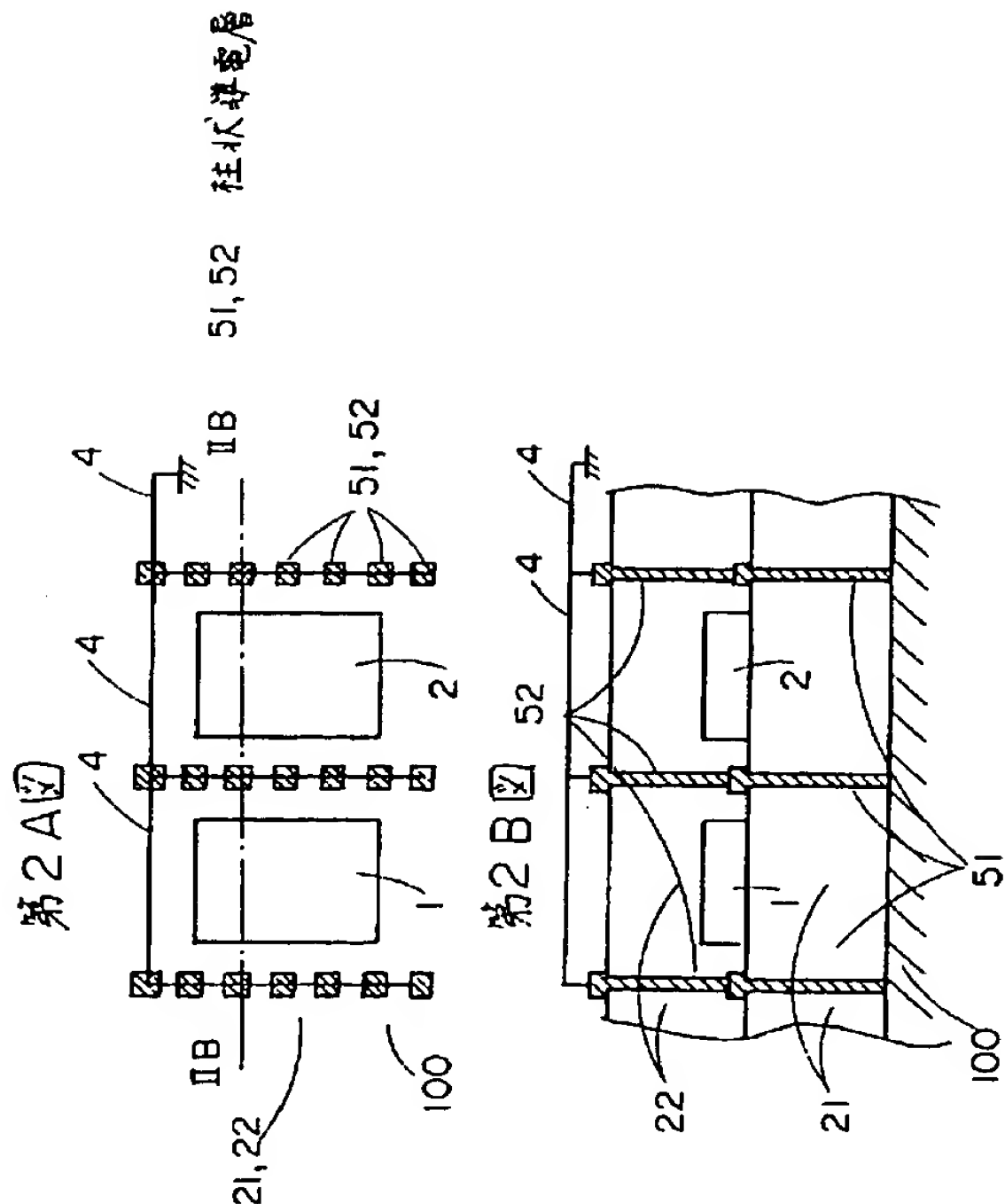
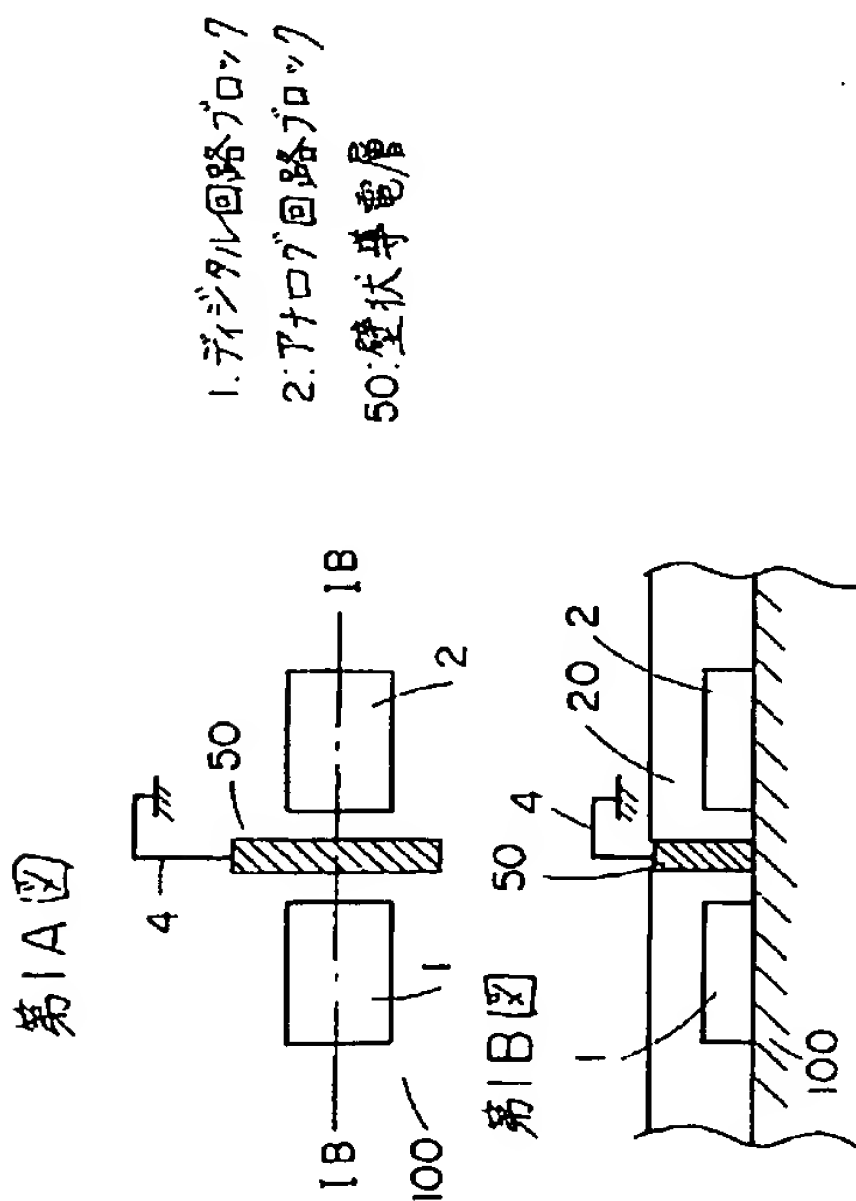
第7図は、従来の半導体集積回路装置を示す概略断面図である。

図において、1はデジタル回路ブロック、2はアナログ回路ブロック、50は壁状導電層、5

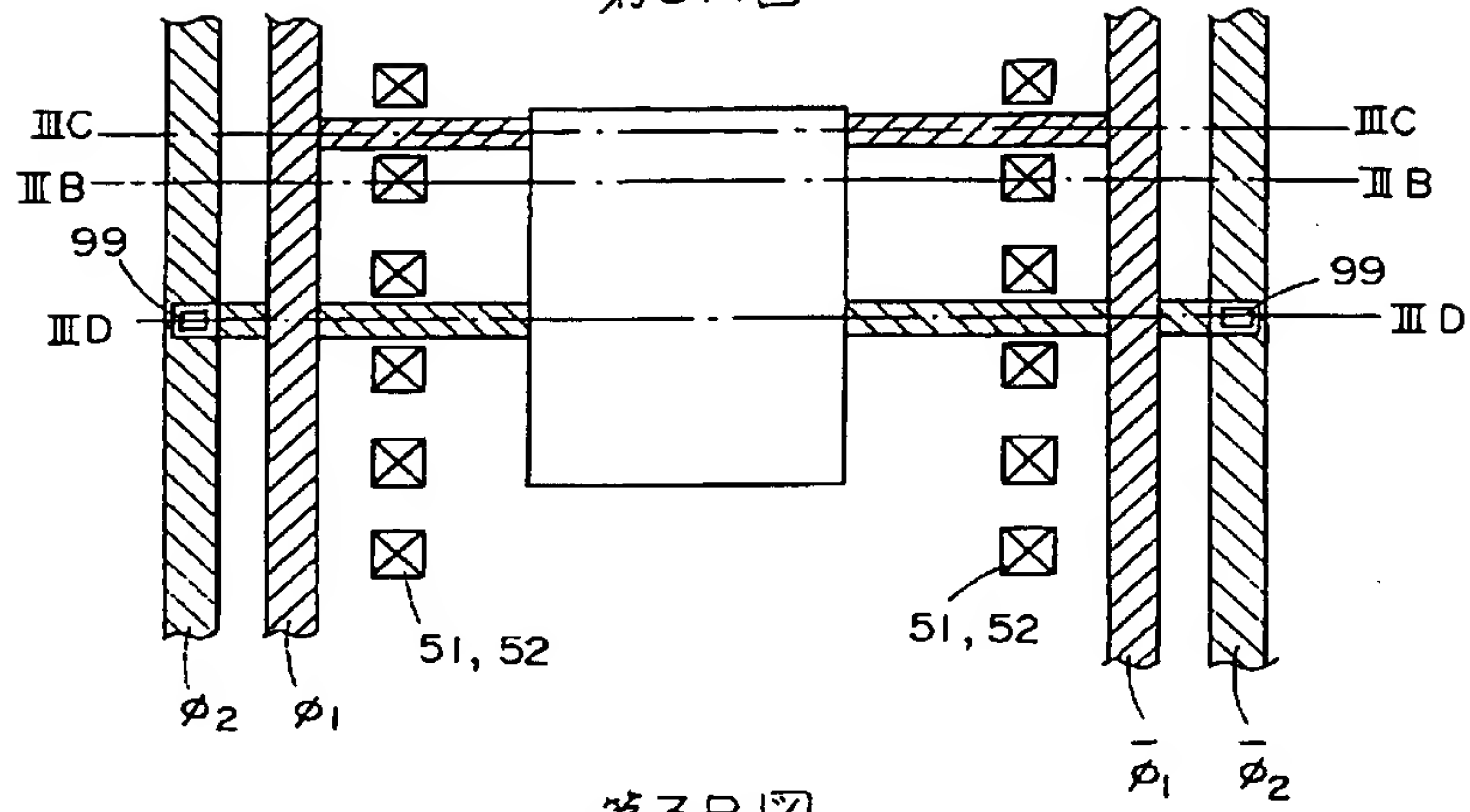
1、52は柱状導電層である。

なお、各図中、同一符号は同一または相当部分を示す。

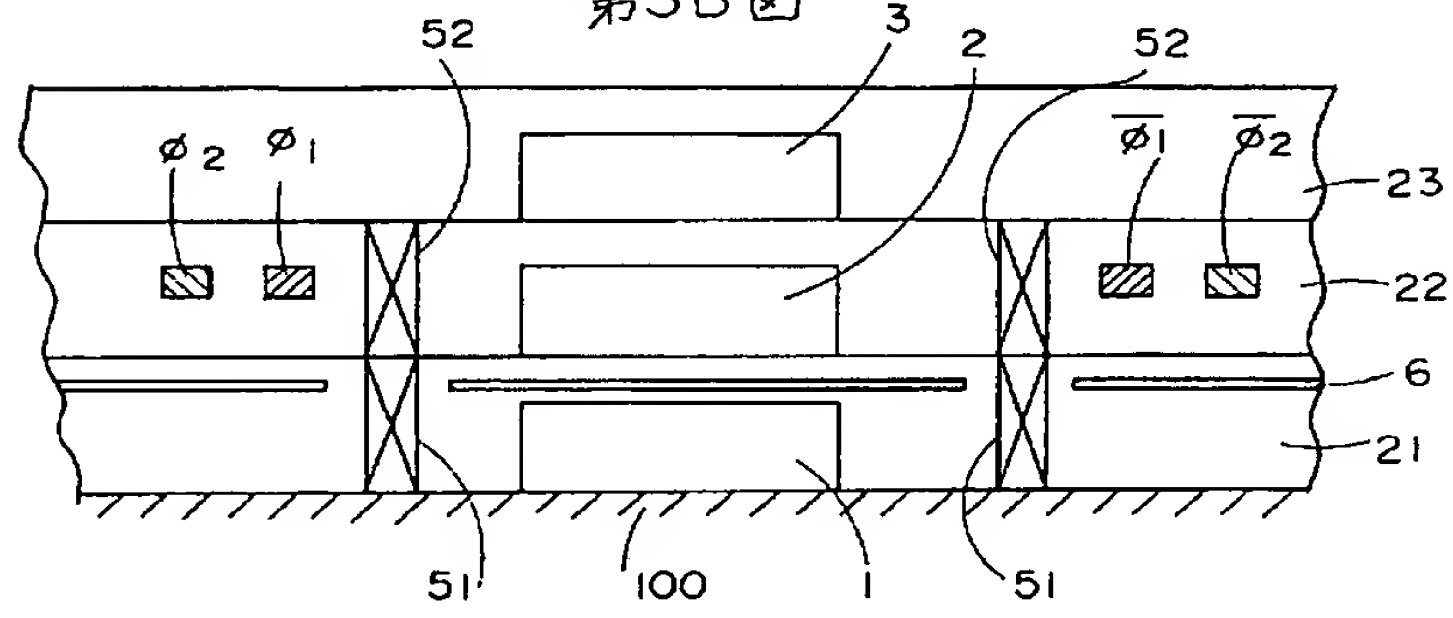
代理人 大 岩 地 雄



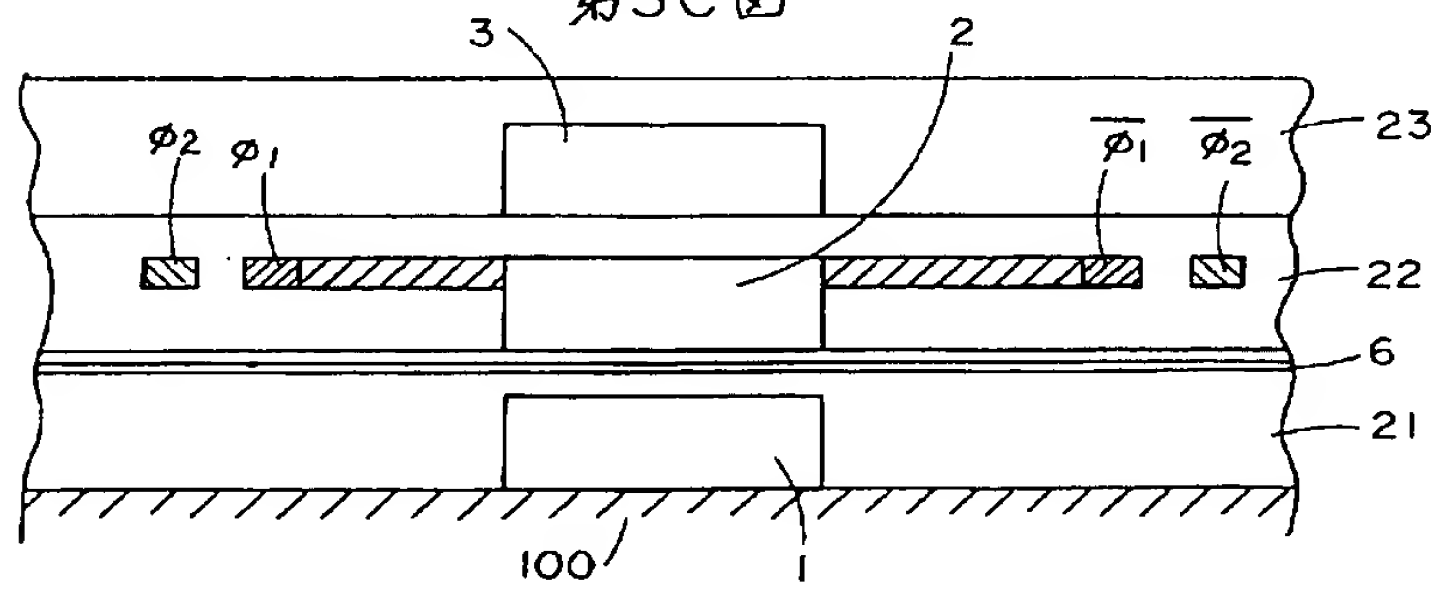
第3A図



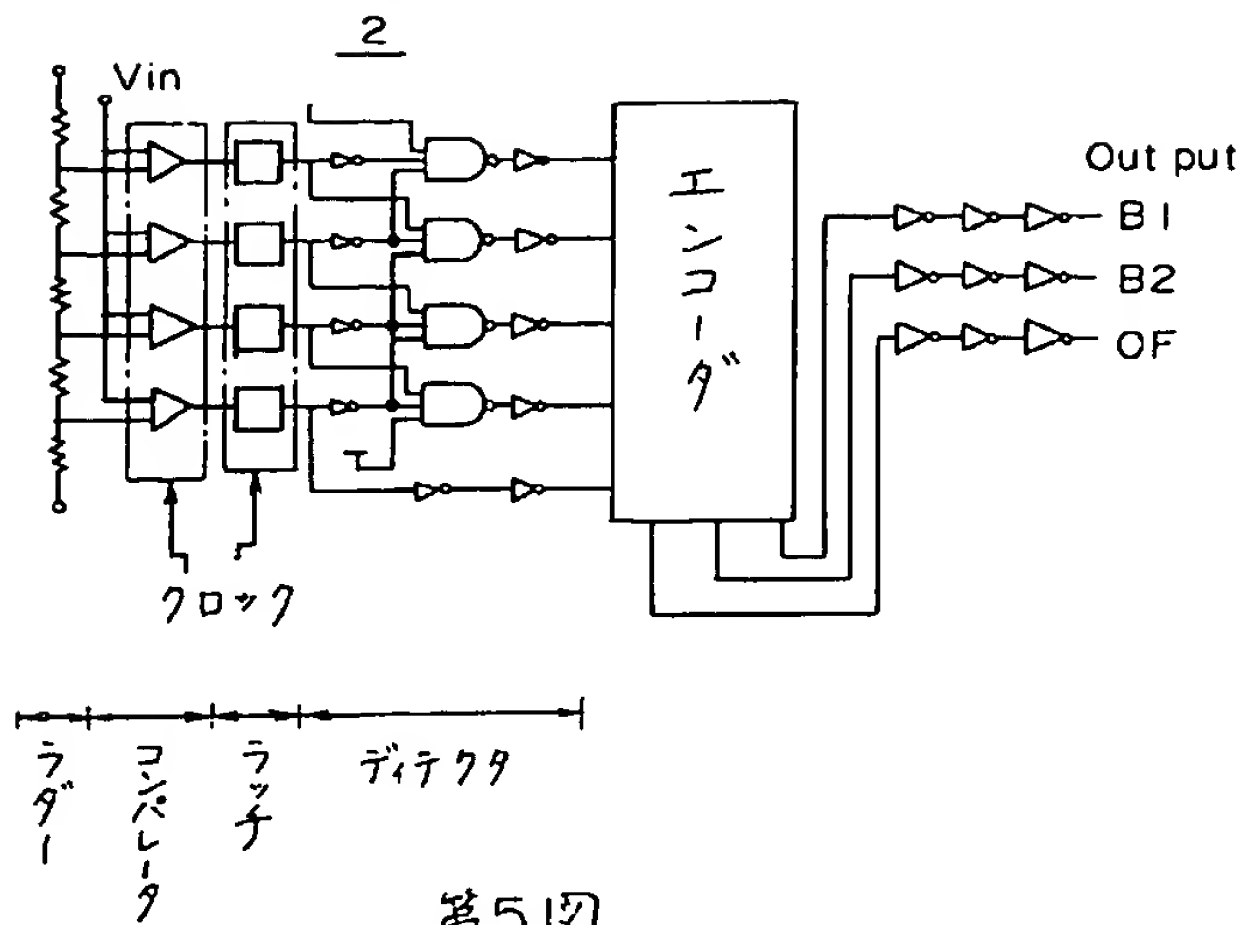
第3B図



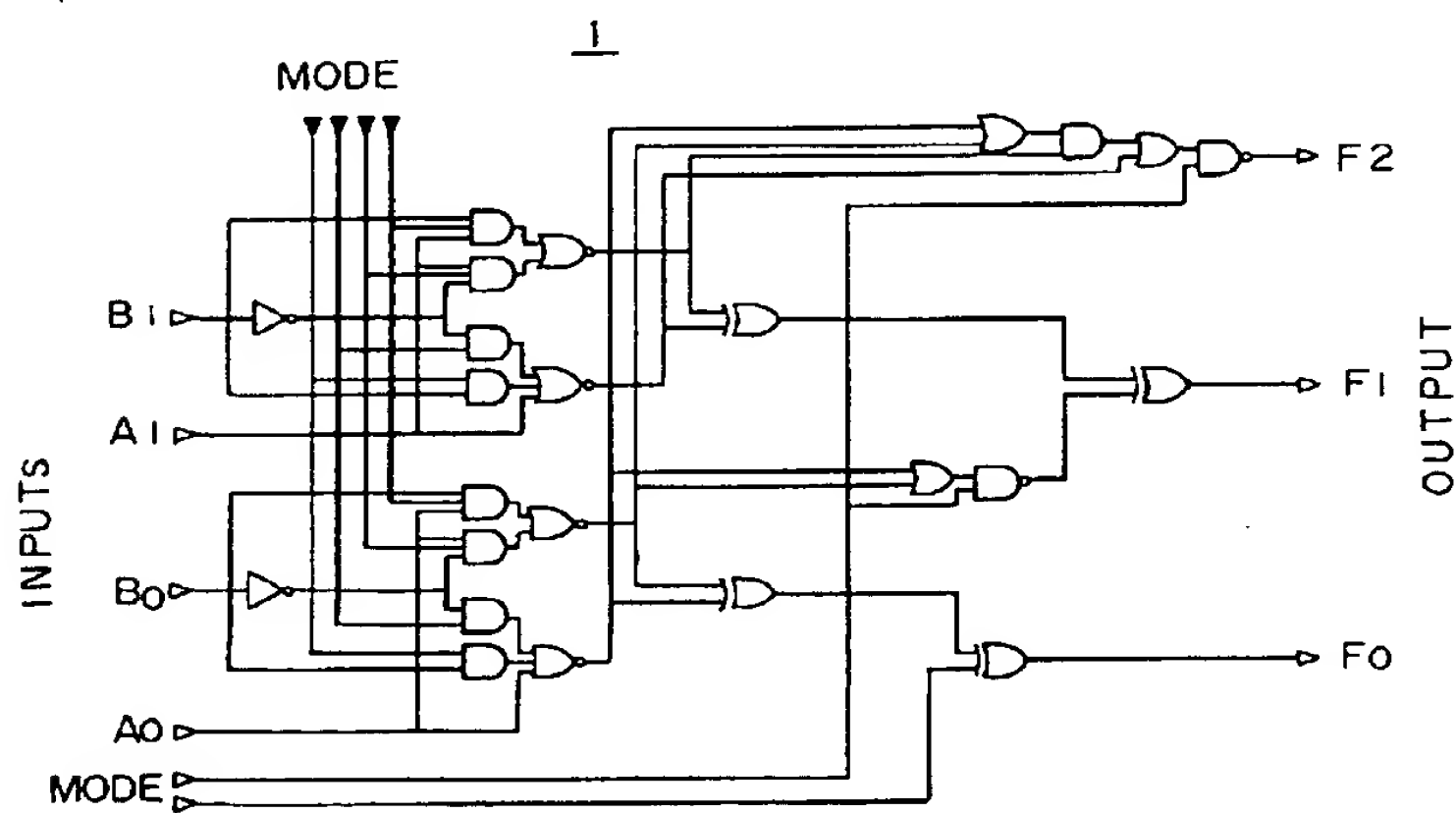
第3C図



第4図



第5図



第7図

